

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#4 priority doc
2/11/00
6-8-01
JC960 U.S. PTO
09/731004
12/06/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 5月16日

出願番号
Application Number:

特願2000-143686

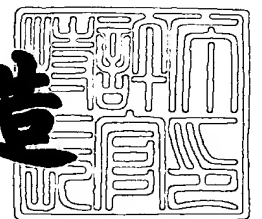
出願人
Applicant(s):

株式会社村田製作所

2000年 7月28日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3059490

【書類名】 特許願

【整理番号】 JP-2002846

【提出日】 平成12年 5月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H03B 5/00

【発明者】

 【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
 製作所内

 【氏名】 佐藤 文俊

【特許出願人】

 【識別番号】 000006231

 【氏名又は名称】 株式会社村田製作所

【代理人】

 【識別番号】 100079577

 【弁理士】

 【氏名又は名称】 岡田 全啓

 【電話番号】 06-6252-6888

【手数料の表示】

 【予納台帳番号】 012634

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9004879

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 発振器

【特許請求の範囲】

【請求項 1】 共振回路と増幅回路とを含む発振器において、

前記増幅回路に周波数特性を有する素子を設けることにより、発振周波数以外の周波数帯域における前記増幅回路の電力増幅度を発振周波数における電力増幅度より少なくとも 3 d B 低下させることを特徴とする、発振器。

【請求項 2】 前記素子は、インダクタ、コンデンサ、マイクロストリップラインから選ばれる単体、またはインダクタ、コンデンサ、マイクロストリップラインおよび抵抗から選ばれる複数の組合せにより形成される、請求項 1 に記載の発振器。

【請求項 3】 前記素子は、誘電体または圧電体で形成された周波数特性を有する素子である、請求項 1 に記載の発振器。

【請求項 4】 前記共振回路および前記増幅回路の少なくとも 1 つを MMIC とした、請求項 1 ないし請求項 3 のいずれかに記載の発振器。

【請求項 5】 さらに、周辺回路を形成し、前記共振回路、前記増幅回路および前記周辺回路の少なくとも 1 つを MMIC とした、請求項 1 ないし請求項 3 のいずれかに記載の発振器。

【請求項 6】 前記共振回路および前記増幅回路を樹脂基板上またはセラミック基板上に一体形成した、請求項 1 ないし請求項 3 のいずれかに記載の発振器。

【請求項 7】 さらに、周辺回路を形成して全体を樹脂基板上またはセラミック基板上に一体形成した、請求項 1 ないし請求項 3 のいずれかに記載の発振器。

【請求項 8】 前記増幅回路は NPN トランジスタを用いた増幅回路であり、前記 NPN トランジスタのエミッタとグランドとの間に前記素子が設けられた、請求項 1 ないし請求項 7 のいずれかに記載の発振器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は発振器に関し、特にたとえば、共振回路と増幅回路とで構成された発振器に関する。

【0002】

【従来の技術】

図24および図25は、従来の発振器の例を示す図解図である。これらの発振器1は、共振回路2と増幅回路3とを含む。このような発振器においては、発振電力が共振回路2で周波数選択され、共振回路2で発生する損失は増幅回路3で補われることによって、発振が持続する。なお、図24および図25において、増幅回路3に入力される電力を P_{in} とし、増幅回路3から出力される電力を P_{out} としたとき、増幅回路3の電力増幅度は P_{out} / P_{in} で表される。

【0003】

このような発振器1の例としては、たとえば図26に示すような回路がある。この発振器1は、コンデンサC1とインダクタL1の並列回路を含み、この並列回路が電源電圧Vcに接続される。さらに、この並列回路には可変容量ダイオードD1のカソードが接続され、アノードはグラウンドに接続される。並列回路と可変容量ダイオードD1との接続部にはコンデンサC2の一端が接続され、コンデンサC2の他端には別のコンデンサC3、C4およびマイクロストリップラインSL1の一端が接続される。コンデンサC3の他端およびマイクロストリップラインSL1の他端はグラウンドに接続される。このような回路により、共振回路2が構成される。

【0004】

コンデンサC4の他端は、増幅回路3を構成するNPNトランジスタTr1のベースに接続される。さらに、トランジスタTr1のベースには、電源電圧Vcを抵抗R1、R2、R3の直列回路によって分圧された電圧が入力される。さらに、これらの抵抗R1、R2、R3で分圧された別の電圧は、別のNPNトランジスタTr2のベースに入力される。トランジスタTr2のコレクタには、インダクタL2を介して電源電圧Vcが接続され、エミッタはトランジスタTr1のコレクタに接続される。トランジスタTr1のエミッタには、抵抗R4およびコ

ンデンサC 5の一端が接続され、これらの他端はグラウンドに接続される。

【0005】

また、トランジスタT r 1, T r 2のベースは、それぞれコンデンサC 6, C 7を介して、トランジスタT r 1のエミッタに接続される。さらに、トランジスタT r 1, T r 2のコレクタは、それぞれコンデンサC 8, C 9を介してグラウンドに接続される。そして、トランジスタT r 2のコレクタがコンデンサC 10に接続され、このコンデンサC 10を介して出力信号が得られる。これらのトランジスタT r 1、抵抗R 2, R 3, R 4、コンデンサC 5, C 6, C 8などによって、増幅回路3が構成される。

【0006】

また、図27に示すような回路の発振器もある。この発振器1では、増幅回路3の出力信号が、コンデンサC 11を介して別のトランジスタT r 3のベースに入力される。トランジスタT r 3には、抵抗R 5, R 6で構成される分圧回路で分圧された電圧が入力される。さらに、トランジスタT r 3のコレクタは、インダクタL 3を介して電源電圧V cに接続され、エミッタは、抵抗R 7およびコンデンサC 12を介してグラウンドに接続される。また、トランジスタT r 3のコレクタには、コンデンサC 13, C 14が接続され、コンデンサC 13が接地されるとともに、コンデンサC 14から出力信号が得られる。これらの図26および図27に示す発振器1は、NPNトランジスタを用いた発振器の例であるが、このような発振器1により、発振出力を得ることができる。

【0007】

【発明が解決しようとする課題】

しかしながら、増幅回路は、発振周波数以外の周波数帯域においても信号を増幅するため、発振器の高調波成分や不要波成分も同時に増幅し、これが位相雑音劣化の原因となっている。

【0008】

それゆえに、この発明の主たる目的は、位相雑音を少なくすることができる発振器を提供することである。

【0009】

【課題を解決するための手段】

この発明は、共振回路と増幅回路とを含む発振器において、増幅回路に周波数特性を有する素子を設けることにより、発振周波数以外の周波数帯域における増幅回路の電力増幅度を発振周波数における電力増幅度より少なくとも3 dB低下させることを特徴とする、発振器である。

このような発振器において、素子は、たとえば、インダクタ、コンデンサ、マイクロストリップラインから選ばれる単体、またはインダクタ、コンデンサ、マイクロストリップラインおよび抵抗から選ばれる複数の組合せにより形成される。

また、素子は、誘電体または圧電体で形成された周波数特性を有する素子であってもよい。

このような発振器において、共振回路および増幅回路の少なくとも1つをMMICとすることができる。

さらに、周辺回路を形成して、共振回路、増幅回路および周辺回路の少なくとも1つをMMICとすることもできる。

また、このような発振器において、共振回路および増幅回路を樹脂基板上またはセラミック基板上に一体形成してもよい。

さらに、周辺回路を形成して全体を樹脂基板上またはセラミック基板上に一体形成してもよい。

このような発振器として、NPNトランジスタを用いた増幅回路を有するものを用いることができ、この場合、たとえばNPNトランジスタのエミッタとグランドとの間に周波数特性を有する素子が設けられる。

【0010】

周波数特性を有する素子を増幅器に組み込むことにより、増幅器の電力増幅度に周波数特性をもたせることができる。したがって、発振周波数における電力増幅度に比べて他の周波数帯域における電力増幅度を3 dB以上低下させることにより、発振周波数における電力を増幅して、他の周波数帯域における電力の増幅を抑えることができる。

このような発振器において、周波数特性を有する素子としては、たとえば、イ

ンダクタ、コンデンサ、マイクロストリップラインなどの単体を用いることができ、また、これらと抵抗の中から選ばれる複数の組合せにより形成される素子を用いることができる。

また、周波数特性を有する素子として、誘電体共振器（フィルタ）、水晶発振子（フィルタ）、セラミック発振子（フィルタ）、弾性表面波共振器（フィルタ）などのような誘電体または圧電体で形成された素子を用いてもよい。

また、共振回路および増幅回路の少なくとも1つをMMICとしたり、樹脂基板上やセラミック基板上に形成してモジュールとすることができる。

さらに、周辺回路を設けて、MMICとしてもよいし、1つの樹脂基板上または1つのセラミック基板上に全体を一体形成してモジュールとしてもよい。

たとえば、NPNトランジスタを用いた増幅回路を有する発振器の場合、NPNトランジスタのエミッタとグランドとの間に、周波数特性を有する素子を設けることにより、発振周波数以外の周波数帯域における電力増幅度を低下させることができる。

【0011】

この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の発明の実施の形態の詳細な説明から一層明らかとなろう。

【0012】

【発明の実施の形態】

図1は、この発明の発振器の一例を示す図解図である。発振器10は、共振回路12と増幅回路14とを含む。増幅回路14は増幅器16を含み、増幅器16は、電源電圧+Bに接続されるとともに、接地されている。そして、共振回路12と増幅回路14とはループ状に接続される。このとき、増幅回路14中において、増幅器16に周波数特性を有するインピーダンス素子18が接続される。図1では、増幅器16の出力側にインピーダンス素子18が取り付けられている。インピーダンス素子18としては、たとえばインダクタ、コンデンサ、マイクロストリップラインなどが単体で用いられる。また、インダクタ、コンデンサ、マイクロストリップラインおよび抵抗の中から2つ以上を組合せて、周波数特性を有するインピーダンス素子18としてもよい。さらに、インピーダンス素子18

としては、誘電体共振器（フィルタ）、水晶発振子（フィルタ）、セラミック発振子（フィルタ）、弾性表面波共振器（フィルタ）など、誘電体または圧電体で形成された周波数特性を有する素子であってもよい。

【 0 0 1 3 】

このような発振器 1 0 では、周波数特性を有するインピーダンス素子 1 8 を接続することにより、増幅回路 1 4 に周波数特性をもたせることができる。つまり、インピーダンス素子 1 8 を接続することによって、選択的にある周波数帯域における電力増幅度を低下させることができる。したがって、図 2 に示すように、周波数特性を有するインピーダンス素子が接続されていない増幅器 1 6 のみでは、広い周波数帯域において高い電力増幅度を有しているが、周波数特性を有するインピーダンス素子 1 8 を接続した増幅回路 1 4 では、発振器 1 0 の発振周波数 f_0 における電力増幅度に比べて、他の周波数帯域における電力増幅度を低くすることができる。ここでは、発振器 1 0 の発振周波数 f_0 における電力増幅度に比べて、他の周波数帯域における電力増幅度が少なくとも 3 d B 低くなるように、インピーダンス素子 1 8 が選択される。

【 0 0 1 4 】

このような発振器 1 0 では、発振電力が共振回路 1 2 で周波数選択され、共振回路 1 2 で発生する損失が増幅回路 1 4 で補われて発振が持続するが、周波数によって増幅回路 1 4 の電力増幅度に差があるため、発振周波数における電力が最大に増幅され、その他の周波数帯域における電力増幅が抑制される。したがって、発振周波数の高次高調波等の不要波によって重畳される雑音レベルの低減につながり、発振器 1 0 の位相雑音の低減を図ることができる。

【 0 0 1 5 】

また、増幅回路 1 4 で増幅される信号に不要な発振成分への電力がなくなることによって発振効率が上がり、低消費電力化を図ることができる。さらに、発振周波数の高次高調波成分を下げることにより、不要輻射を低減することができる。また、一般的に、マイクロストリップラインやチップコイルなどを用いた共振回路の Q は、マイクロストリップラインの電極幅やチップコイルの大きさに比例するが、増幅回路 1 4 側で位相雑音を低減できるため、共振回路 1 2 の Q を緩和するこ

とができ、マイクロストリップラインの電極幅を小さくしたり、チップコイルの大きさを小さくすることができる。したがって、発振器10の小型化を図ることができる。

【0016】

なお、図3に示すように、増幅回路14において、増幅器16の入力側にインピーダンス素子18を接続してもよい。また、図4に示すように、増幅器16の入力側と出力側の間にインピーダンス素子18を接続してもよい。さらに、図5に示すように、増幅器16と電源電圧+Bとの間にインピーダンス素子18を接続してもよい。また、図6に示すように、増幅器16と接地部分との間にインピーダンス素子18を接続してもよい。このように、インピーダンス素子18の接続方法は制限されるものではなく、増幅回路14の電力増幅度に周波数特性をもたせることができる接続方法であれば、どのような接続方法を採用してもよい。

【0017】

具体的に、図26や図27に示す回路を有する発振器にこの発明を適用する場合、図7および図8に示すように、増幅回路14を構成するトランジスタTr1のエミッタとグランドとの間に、周波数特性を有するインピーダンス素子18が接続される。このようなインピーダンス素子としては、図9および図10に示すように、直流バイアス抵抗R20とコンデンサC20の並列回路およびインダクタL20とコンデンサC21の並列共振回路を直列に接続したものをを用いることができる。また、図11および図12に示すように、図9および図10に示す回路のトランジスタTr1のエミッタに、さらにコンデンサC22とインダクタL21の直列回路を接続してもよい。

【0018】

また、図13に示すように、インピーダンス素子18として、直流バイアス抵抗R20とコンデンサC20の並列回路およびマイクロストリップラインSL20とコンデンサC21の並列回路を直列に接続したものをを用いてもよい。また、図14に示すように、図13に示す回路のトランジスタTr1のエミッタに、さらにコンデンサC23とマイクロストリップラインSL21の直列回路を接続してもよい。なお、図13および図14では、図8に対応する回路が示されている

が、図 7 に対応する回路についても、同様の回路を形成することができる。

【 0 0 1 9 】

また、図 1 5 に示すように、図 1 2 に示す回路におけるコンデンサ C 2 2 とインダクタ L 2 1 の直列回路に加えて、コンデンサ C 2 4 とインダクタ L 2 2 の直列回路、コンデンサ C 2 5 とインダクタ L 2 3 の直列回路というように、1 つ以上のコンデンサとインダクタの直列回路を並列に接続してもよい。もちろん、図 1 1 に示す回路の発振器 1 0 においても、トランジスタ T r 1 のエミッタに、1 つ以上のコンデンサとインダクタの直列回路を並列に接続できることはいうまでもない。

【 0 0 2 0 】

また、図 1 6 に示すように、増幅回路 1 4 を構成するトランジスタ T r 1 のエミッタに、誘電体や圧電体で形成された周波数特性を有する素子 1 8 を接続してもよいし、図 1 7 に示すように、さらに抵抗 R 2 1 を組合せて用いてもよい。もちろん、このような素子は、図 8 に示す回路にも適用可能である。誘電体や圧電体で形成された素子としては、誘電体共振器（フィルタ）、水晶発振子（フィルタ）、セラミック発振子（フィルタ）、弾性表面波共振器（フィルタ）などの素子を用いることができる。

【 0 0 2 1 】

このように、発振器 1 0 の増幅回路 1 4 を構成するトランジスタ T r 1 のエミッタとグランドとの間に周波数特性を有するインピーダンス素子 1 8 を設けることにより、増幅回路 1 4 の電力増幅度に周波数特性をもたせることができる。それにより、発振器 1 0 の発振周波数以外の周波数帯域における電力増幅度を下げることができ、発振周波数の高次高調波等の不要波によって重畳される雑音レベルの低減につながり、発振器 1 0 の位相雑音の低減を図ることができる。

【 0 0 2 2 】

また、図 1 8 に示すように、同一のウエハーチップ上にコイル、コンデンサ、トランジスタなどを形成して、増幅回路 1 4 を MM I C 2 0 としてもよい。もちろん、MM I C 2 0 に形成される増幅回路 1 4 は、周波数特性を有するものである。つまり、増幅器 1 6 とインピーダンス素子 1 8 とが、1 つの MM I C 2 0 内

に集積化されることにより、小型で低位相雑音の発振器 1 0 を得ることができる。さらに、図 1 9 に示すように、共振回路 1 2 と増幅回路 1 4 の全てを MMIC 2 0 としてもよい。このような発振器 1 0 では、1 つの MMIC 2 0 で発振器 1 0 を作製することができ、さらに小型化を図ることができる。発振器 1 0 の一部を IC 化した具体的な回路としては、図 2 0 に示すように、増幅回路、バッファ回路およびバイアス回路を 1 つの MMIC 2 0 内に集積化したものが考えられる。

【 0 0 2 3 】

また、図 2 1 に示すように、発振器 1 0 に周辺回路を加えて MMIC 2 0 としてもよい。図 2 1 では、発振回路 1 0 にフェーズロックループ (PLL) 2 2 を付加し、発振回路 1 0 の出力がミキサ 2 4 に接続されている。そして、ミキサ 2 4 は共振器 2 6 に接続され、さらに共振器 2 6 は増幅器 2 8 に接続されている。これらの回路が、1 つの MMIC 2 0 に形成されることにより、付加価値を有する発振器を得ることができる。なお、この回路は、通信機に用いられる局部発振器、ミキサ、中間周波数増幅回路として用いられるものである。

【 0 0 2 4 】

また、図 2 2 に示すように、増幅回路 1 4 と共振回路 1 2 とを基板 3 0 上に一体的に形成したモジュールとしてもよい。基板 3 0 としては、たとえばセラミック基板や樹脂基板などが用いられる。セラミック基板を用いる場合、多層基板とすることができ、多層基板中に共振回路や増幅回路を構成する電子部品を形成することができる。さらに、図 2 3 に示すように、発振回路 1 0 に PLL 2 2 を付加し、さらにミキサ 2 4、共振器 2 6、増幅器 2 8 などの周辺回路を基板 3 0 上に一体的に形成したモジュールとしてもよい。このように、発振器 1 0 を IC 化したりモジュール化することにより、発振器 1 0 の小型化を図ることができる。なお、図 1 8 ～図 1 9 および図 2 1 ～図 2 3 に示す増幅回路 1 4 は、増幅器 1 6 と周波数特性を有するインピーダンス素子 1 6 とを組合せたものであり、その接続方法は図 1 および図 3 ～図 6 に示す接続方法のいずれかを採用することができる。

【 0 0 2 5 】

【発明の効果】

この発明によれば、発振器の発振周波数以外の周波数帯域の電力増幅度が低い
ため、発振周波数以外の周波数成分によって重畳される雑音レベルを低減させる
ことができ、さらに発振出力での高次高調波レベルを下げるができる。この
ように発振周波数の高次高調波成分を下げることで、不要輻射を低減させること
ができる。また、増幅回路で増幅される信号に不要な発振成分への電力がなくな
ることにより、発振効率が上がり、低消費電力化を図ることができる。さらに、
増幅回路側で位相雑音を改善できるため、共振回路のQを緩和することができ、
共振器を構成するマイクロストリップラインの線幅を小さくしたり、チップコイ
ルを小型化することができ、全体として発振器の小型化を図ることができる。ま
た、発振器をIC化したりモジュール化することにより、小型の発振器を得るこ
とができる。

【図面の簡単な説明】

【図1】

この発明の発振器の一例を示す図解図である。

【図2】

図1に示す発振器に用いられる増幅器の電力増幅度と、その増幅器に周波数特
性を有するインピーダンス素子を接続した増幅回路の電力増幅度とを示すグラフ
である。

【図3】

この発明の発振器の他の例を示す図解図である。

【図4】

この発明の発振器のさらに他の例を示す図解図である。

【図5】

この発明の発振器の別の例を示す図解図である。

【図6】

この発明の発振器のさらに別の例を示す図解図である。

【図7】

この発明の発振器の一例を示す回路図である。

【図 8】

この発明の発振器の他の例を示す回路図である。

【図 9】

図 7 に示す発振器のインピーダンス素子として抵抗とコンデンサの並列回路およびコンデンサとインダクタの並列回路を直列に接続した例を示す回路図である。

【図 1 0】

図 8 に示す発振器のインピーダンス素子として抵抗とコンデンサの並列回路およびコンデンサとインダクタの並列回路を直列に接続した例を示す回路図である。

【図 1 1】

図 9 に示す発振器のインピーダンス素子にコンデンサとインダクタの直列回路を付加してインピーダンス素子とした例を示す回路図である。

【図 1 2】

図 1 0 に示す発振器のインピーダンス素子にコンデンサとインダクタの直列回路を付加してインピーダンス素子とした例を示す回路図である。

【図 1 3】

図 7 に示す発振器のインピーダンス素子として抵抗とコンデンサの並列回路およびコンデンサとマイクロストリップラインの並列回路を直列に接続した例を示す回路図である。

【図 1 4】

図 1 3 に示す発振器のインピーダンス素子にコンデンサとマイクロストリップラインの直列回路を付加してインピーダンス素子とした例を示す回路図である。

【図 1 5】

図 1 2 に示す発振器のインピーダンス素子にコンデンサとインダクタの直列回路を複数付加してインピーダンス素子とした例を示す回路図である。

【図 1 6】

図 7 に示す発振器のインピーダンス素子として誘電体や圧電体で形成したインピーダンス素子を用いた例を示す回路図である。

【図 1 7】

図 1 6 に示す発振器のインピーダンス素子に抵抗を付加してインピーダンス素子とした例を示す回路図である。

【図 1 8】

増幅回路をMMICとした発振器の例を示す図解図である。

【図 1 9】

共振回路と増幅回路の全体をMMICとした発振器の例を示す図解図である。

【図 2 0】

図 7 に示す発振器の増幅回路、バッファ回路およびバイアス回路をMMICとした例を示す回路図である。

【図 2 1】

さらに周辺回路を形成して全体をMMICとした例を示す図解図である。

【図 2 2】

共振回路と増幅回路の全体を基板上に形成してモジュールとした発振器の例を示す図解図である。

【図 2 3】

さらに周辺回路を形成し、全体を基板上に形成してモジュールとした例を示す図解図である。

【図 2 4】

従来の発振器の一例を示す図解図である。

【図 2 5】

従来の発振器の他の例を示す図解図である。

【図 2 6】

従来の発振器の一例を示す回路図である。

【図 2 7】

従来の発振器の他の例を示す回路図である。

【符号の説明】

1 0 発振器

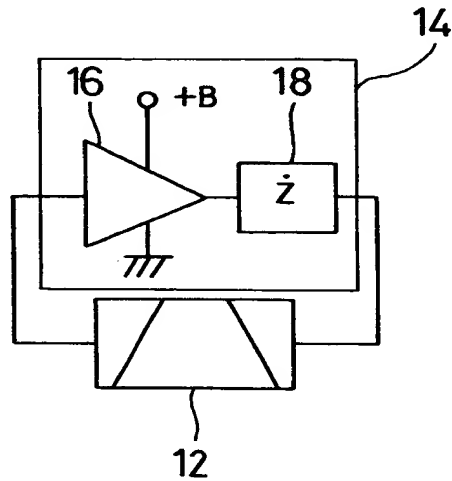
1 2 共振回路

- 1 4 増幅回路
- 1 6 増幅器
- 1 8 インピーダンス素子
- 2 0 MMIC
- 2 2 フェーズロックループ
- 2 4 ミキサ
- 2 6 共振器
- 2 8 増幅器
- 3 0 基板

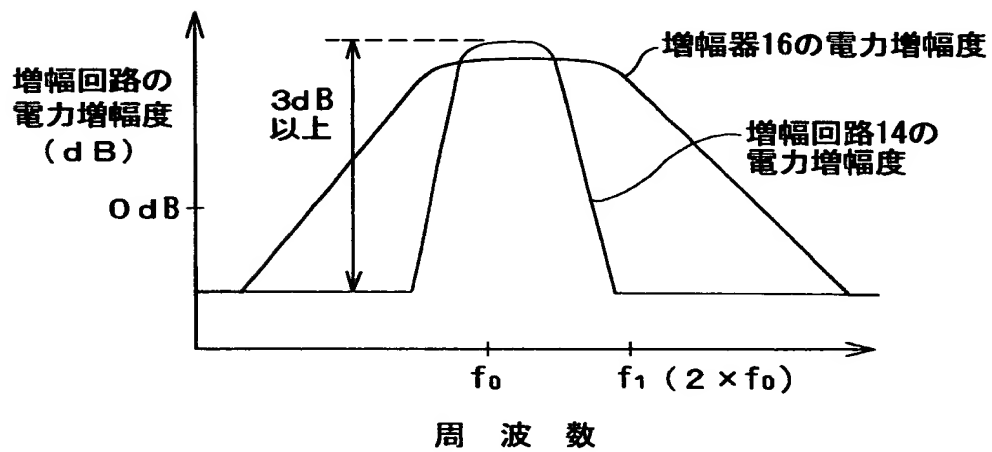
【書類名】 図面

【図 1】

10

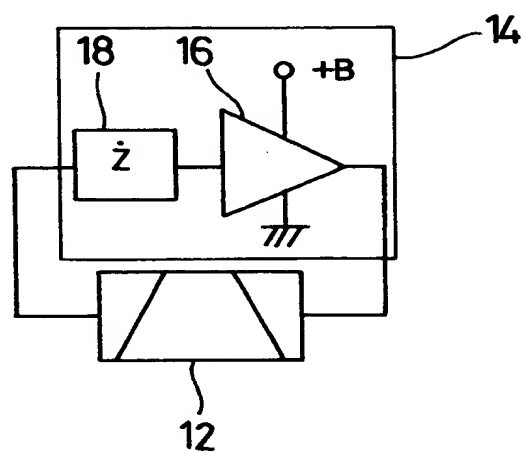


【図 2】



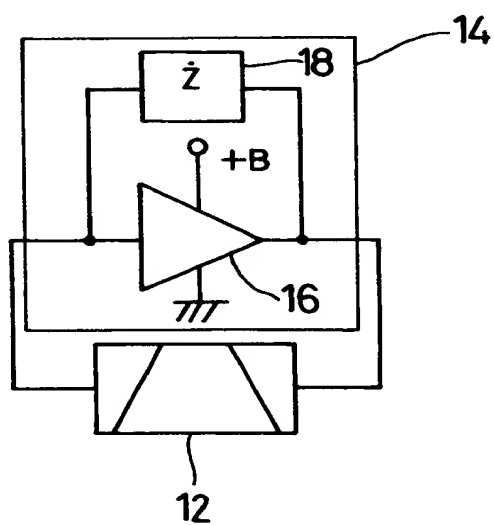
【図 3】

10



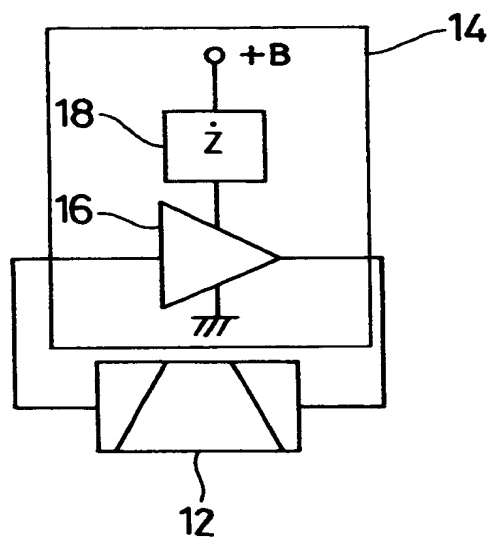
【図 4】

10



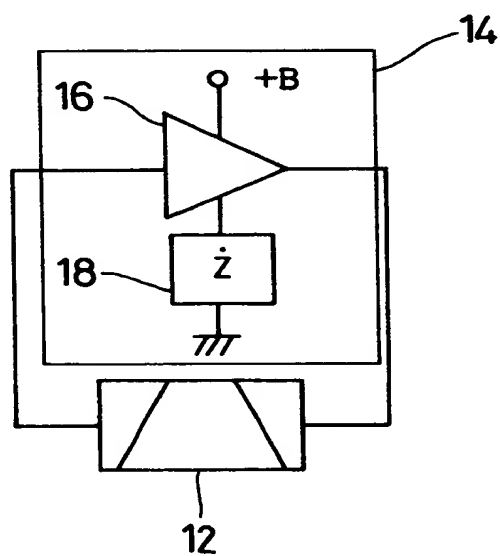
【図 5】

10

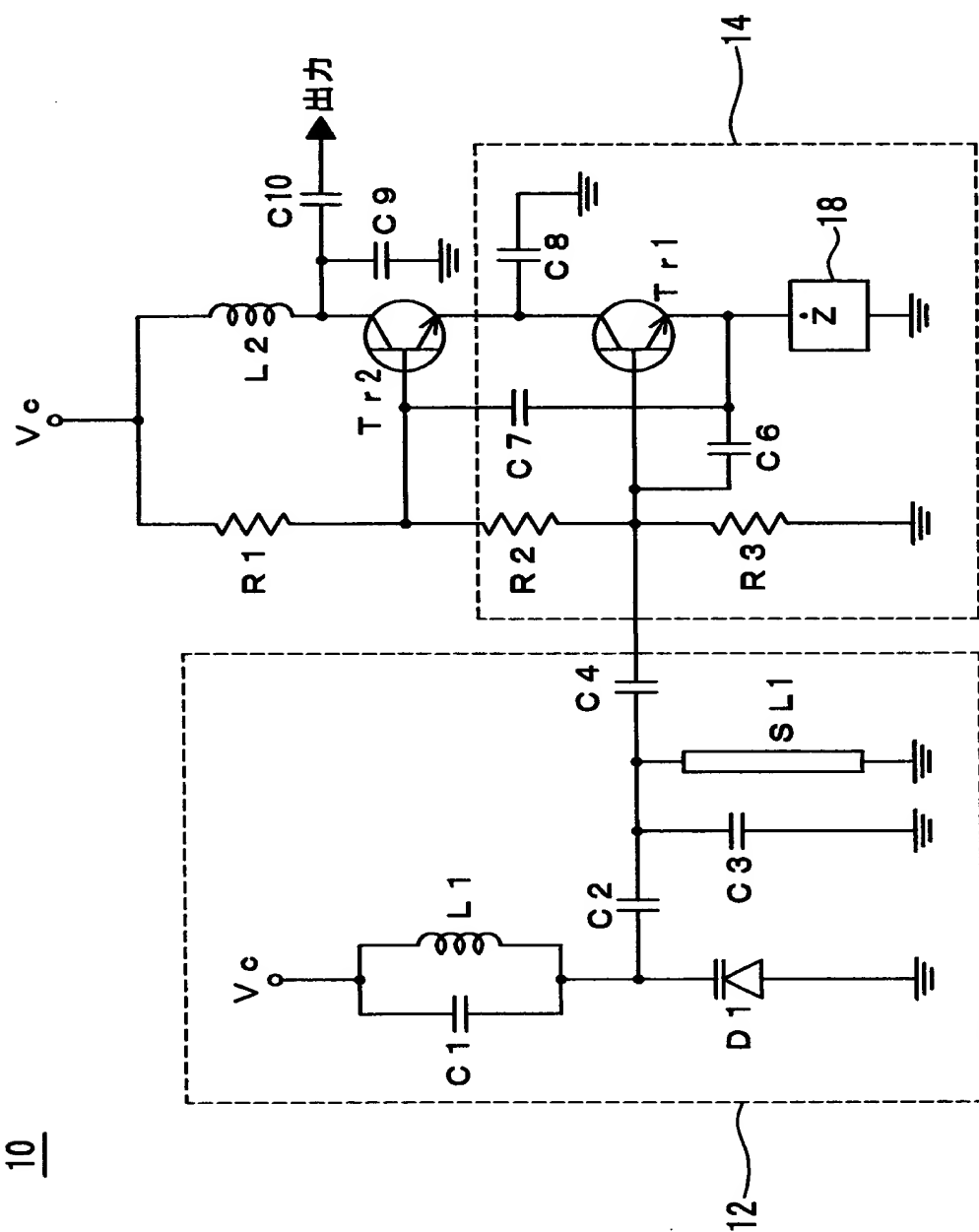


【図 6】

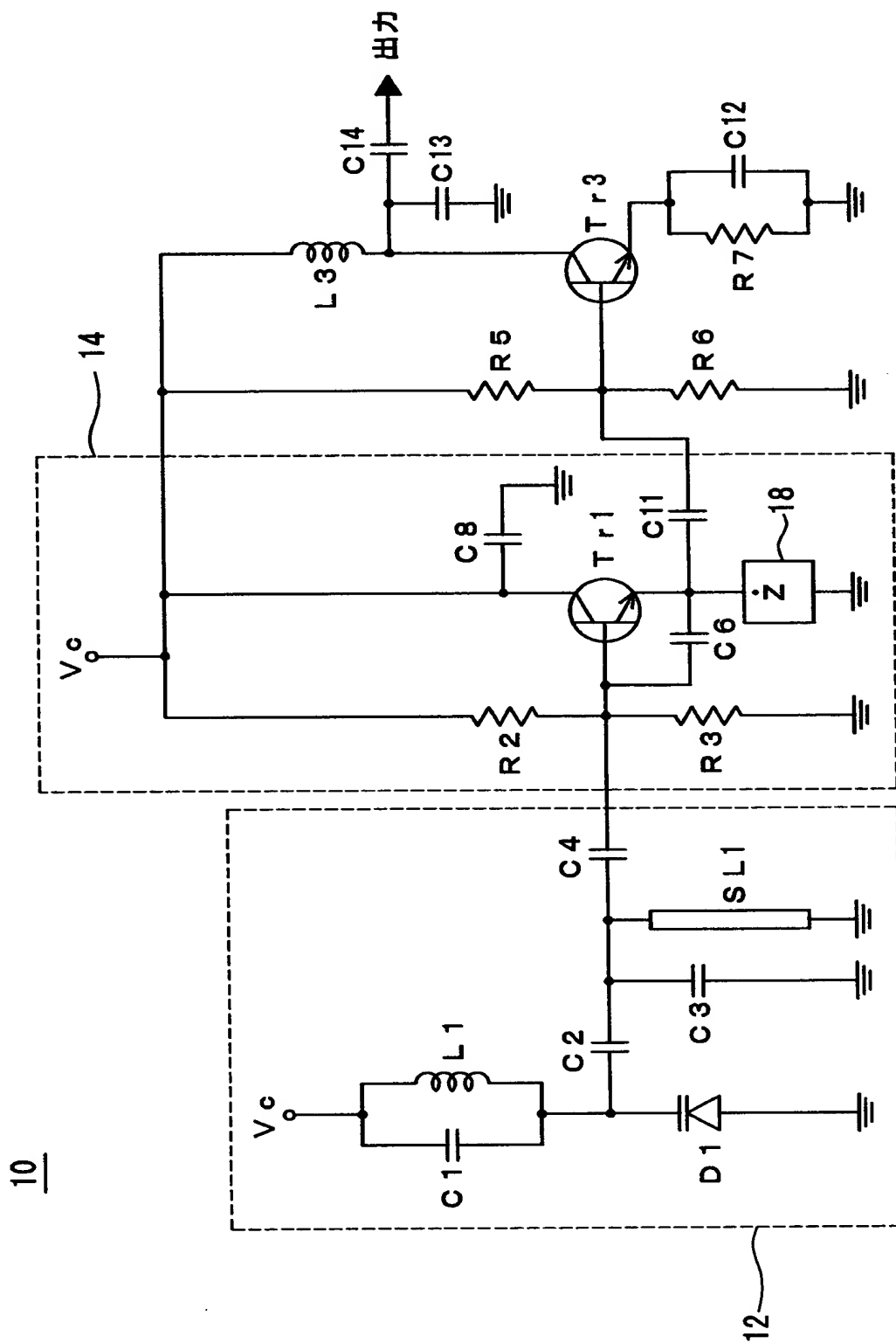
10



【図 7】

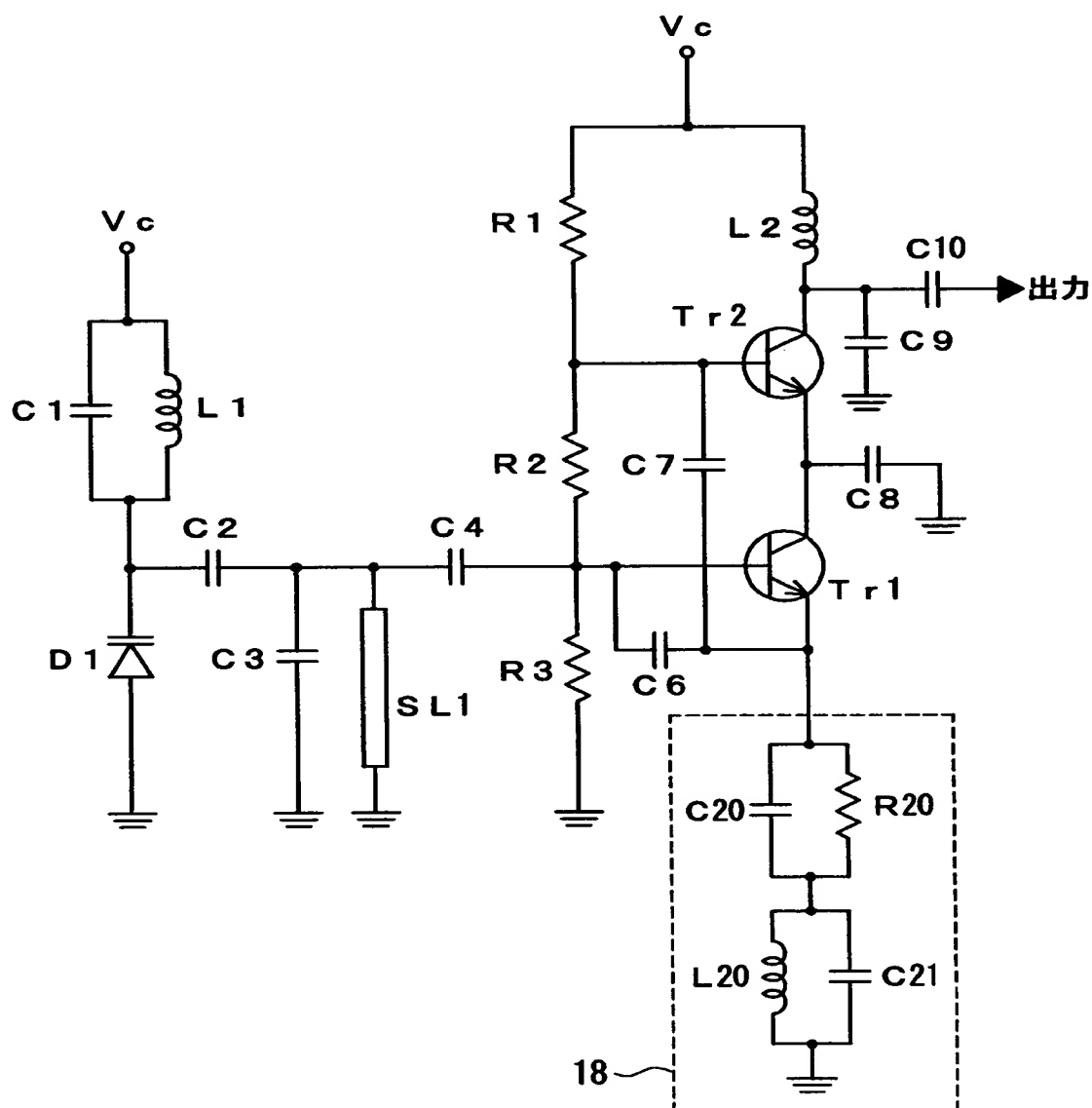


【図 8】

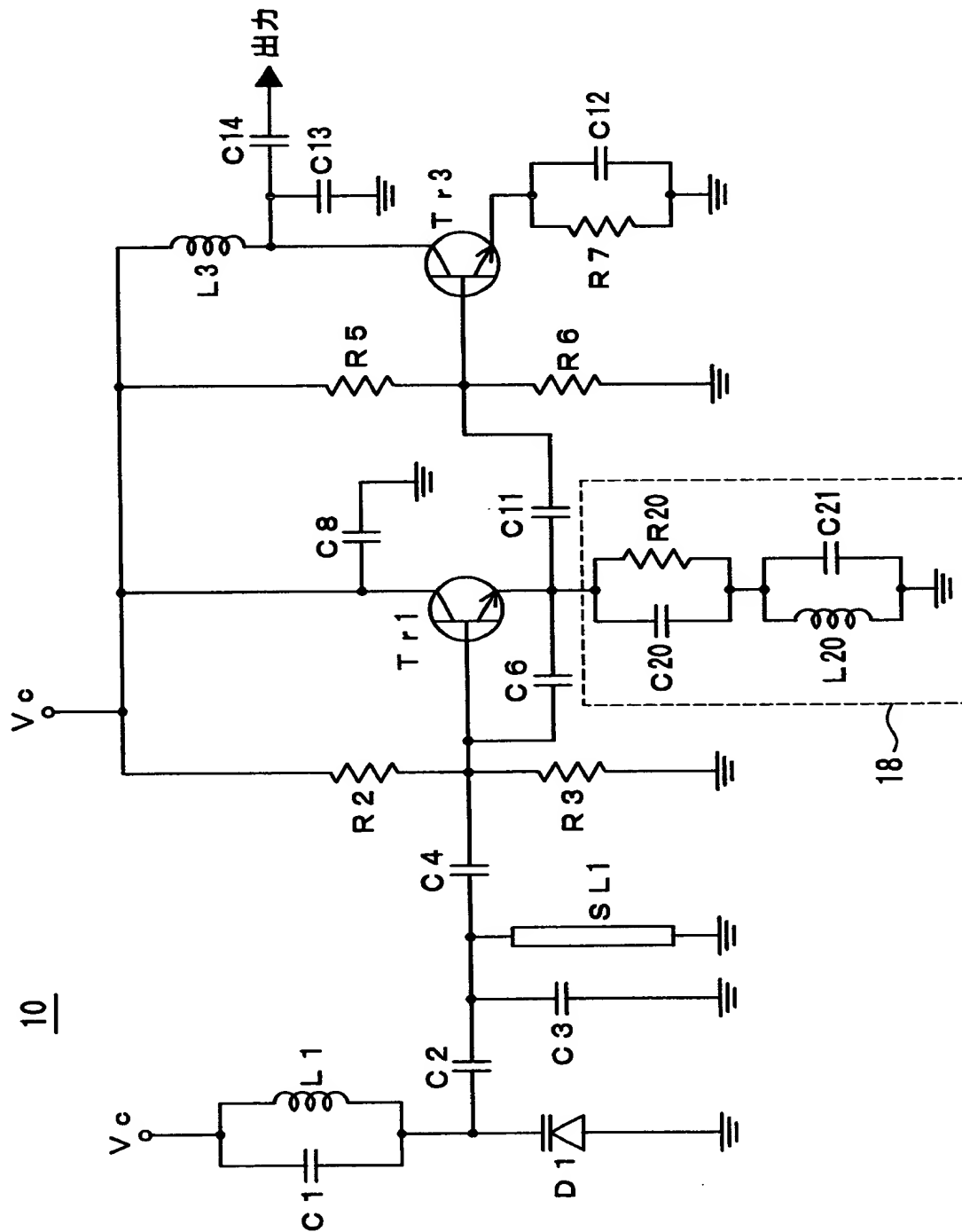


【図9】

10



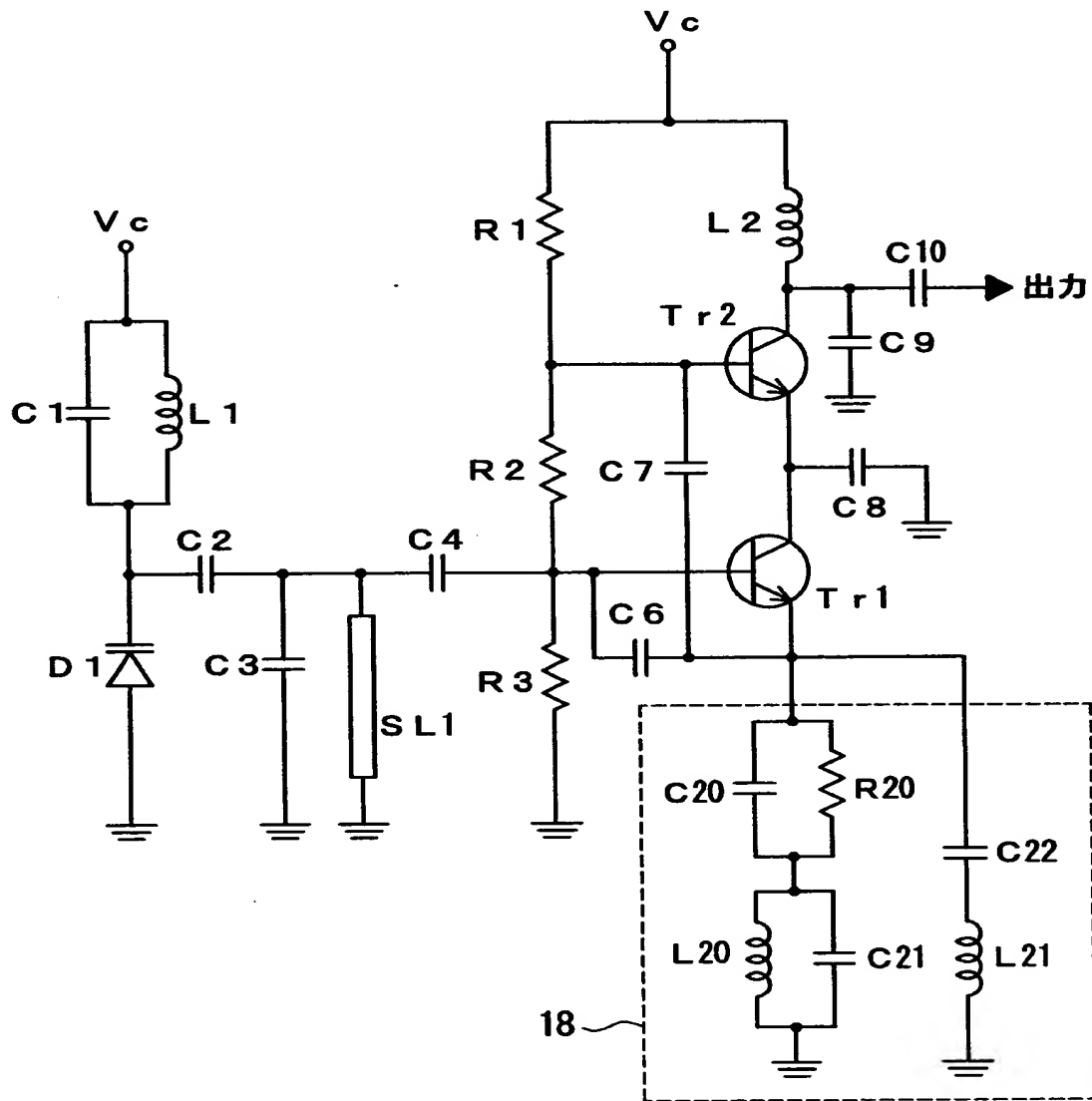
【図 10】



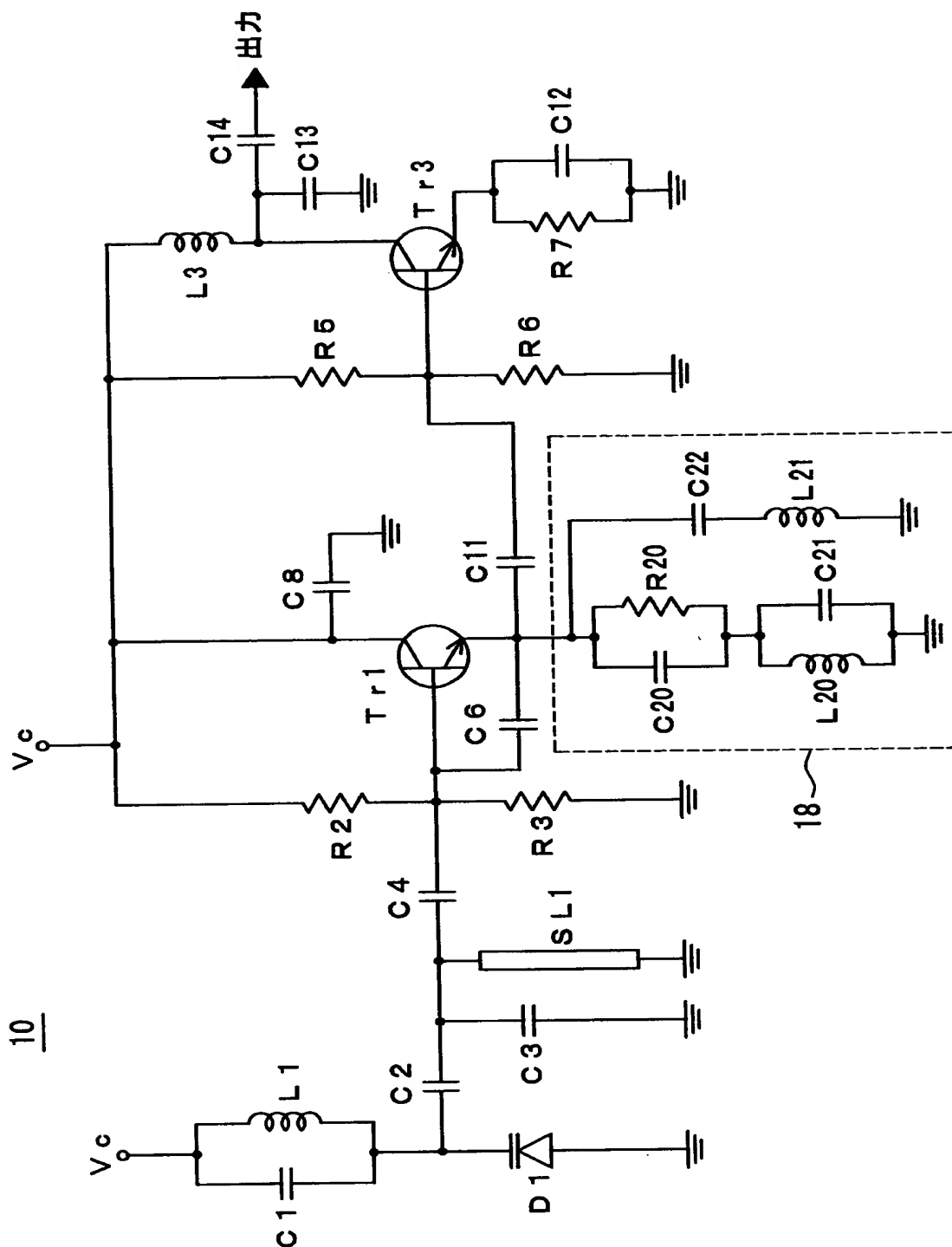
10

【図 11】

10

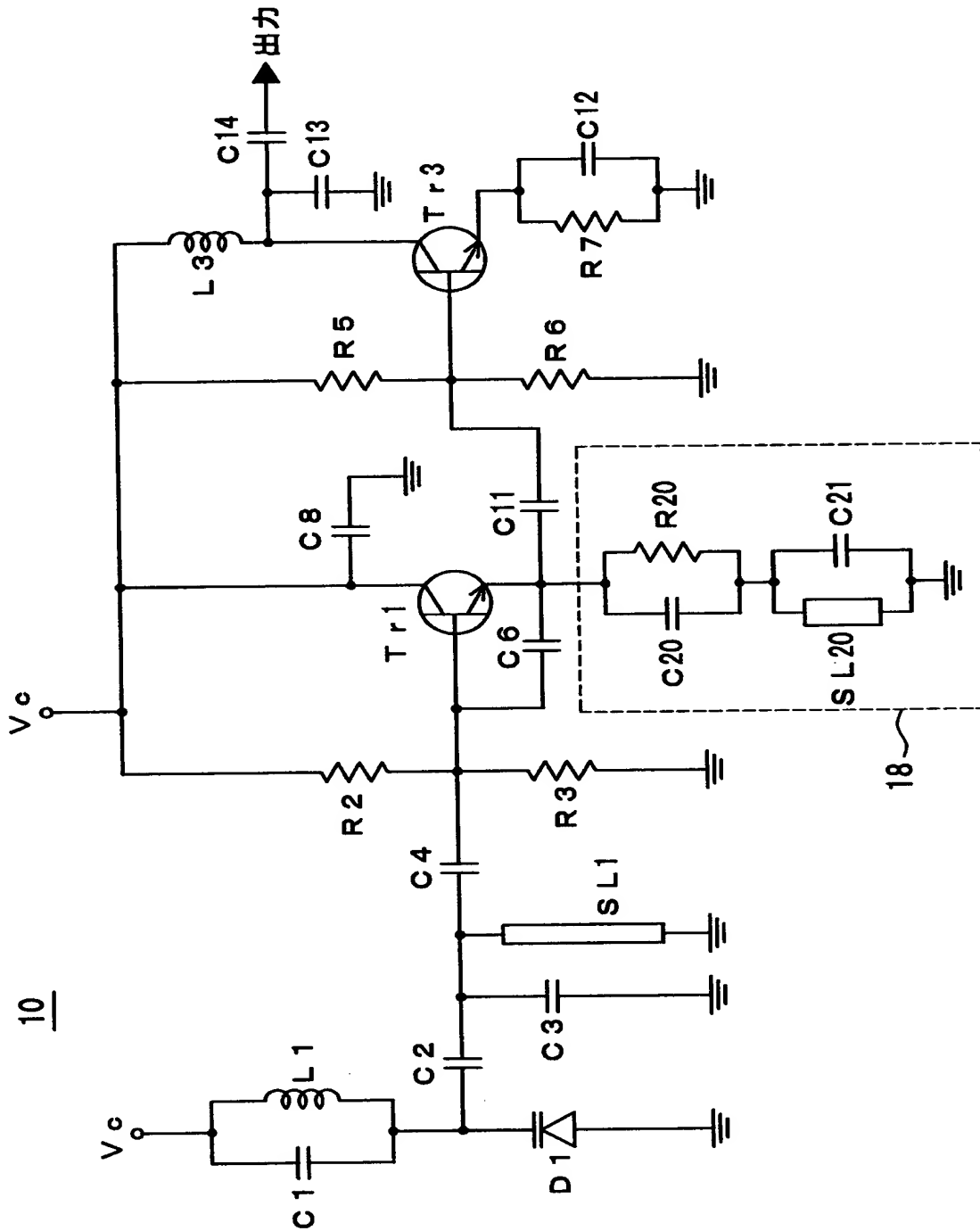


【図 12】



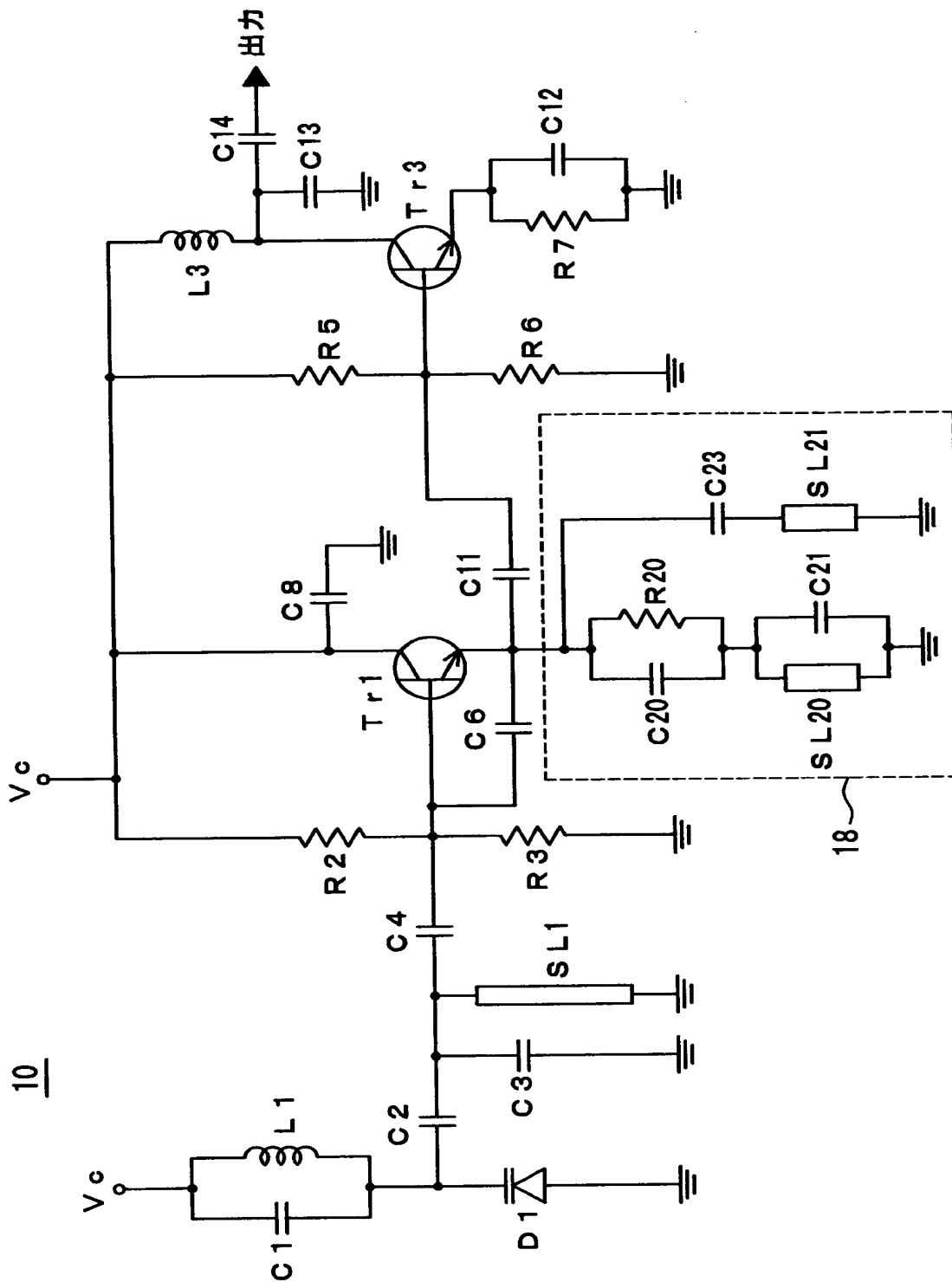
10

【図 13】



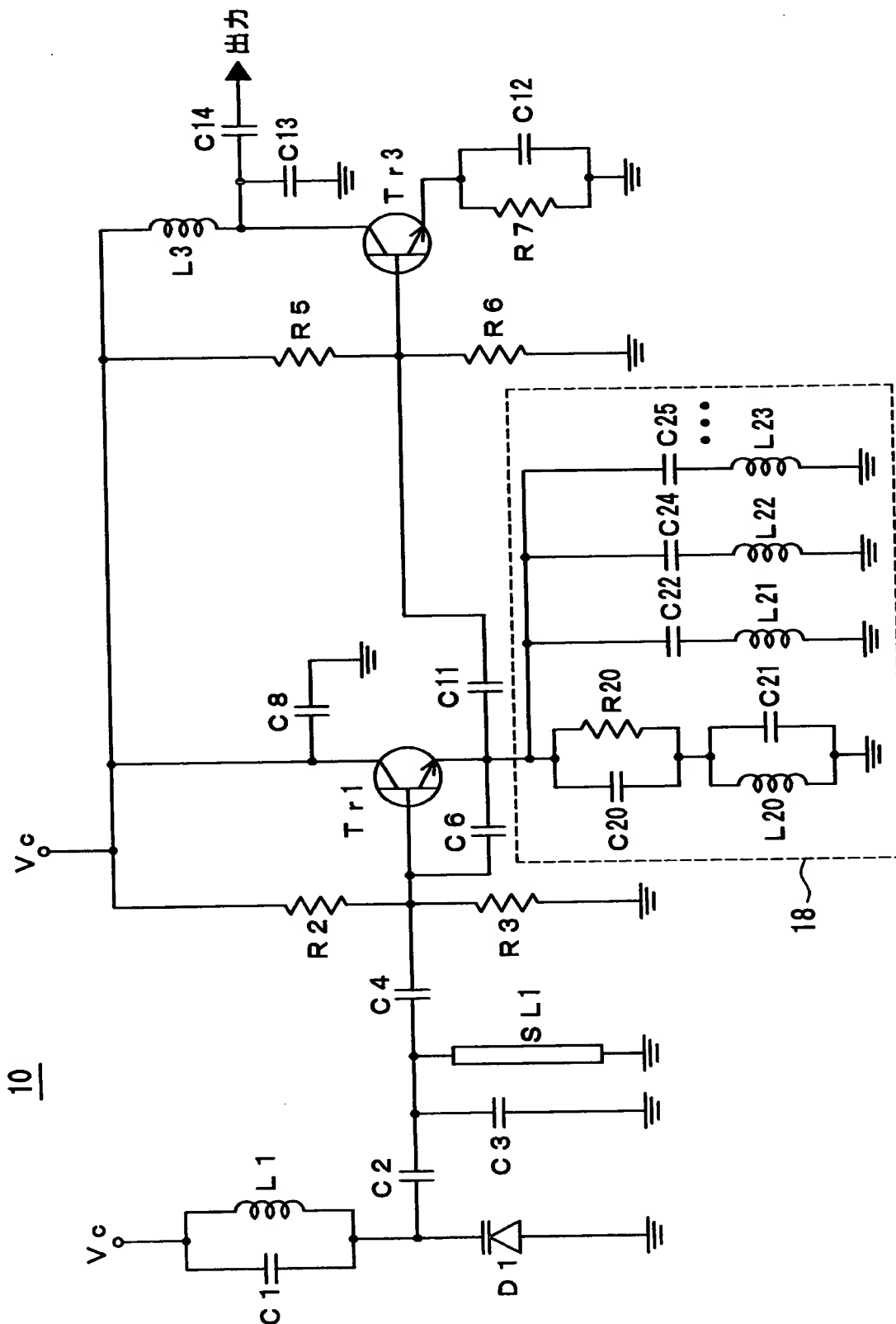
10

【図 14】



10

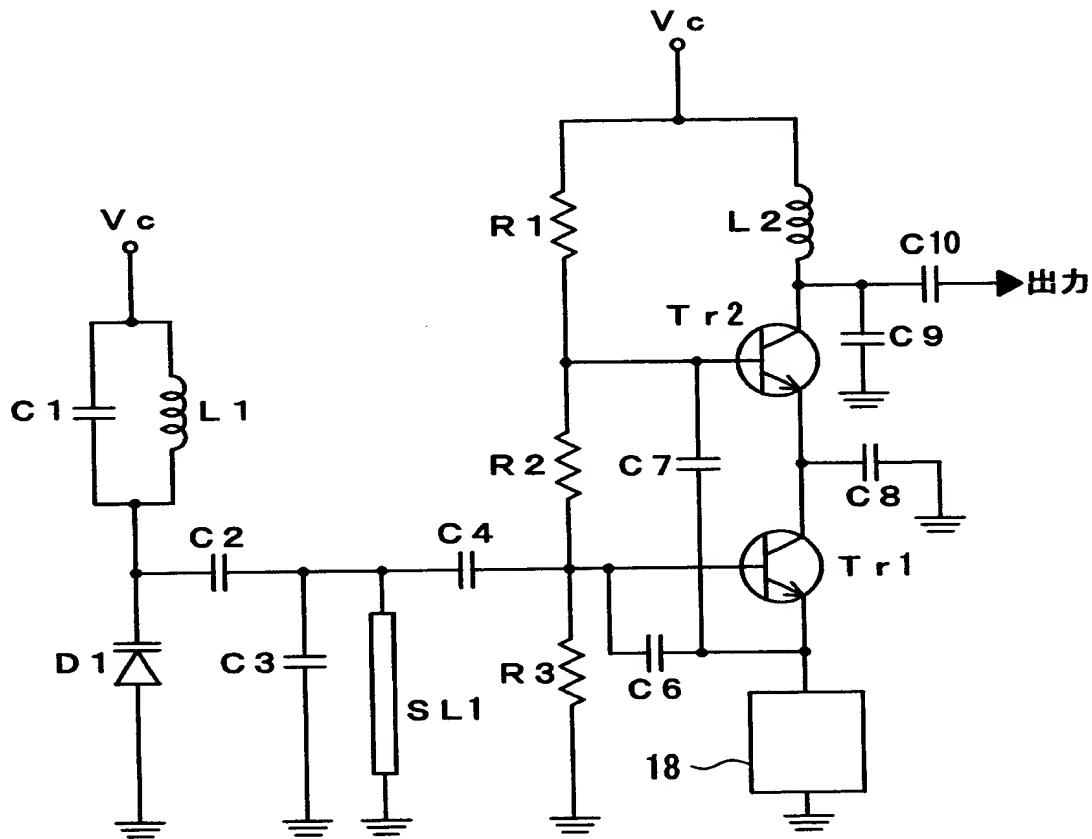
【図15】



10

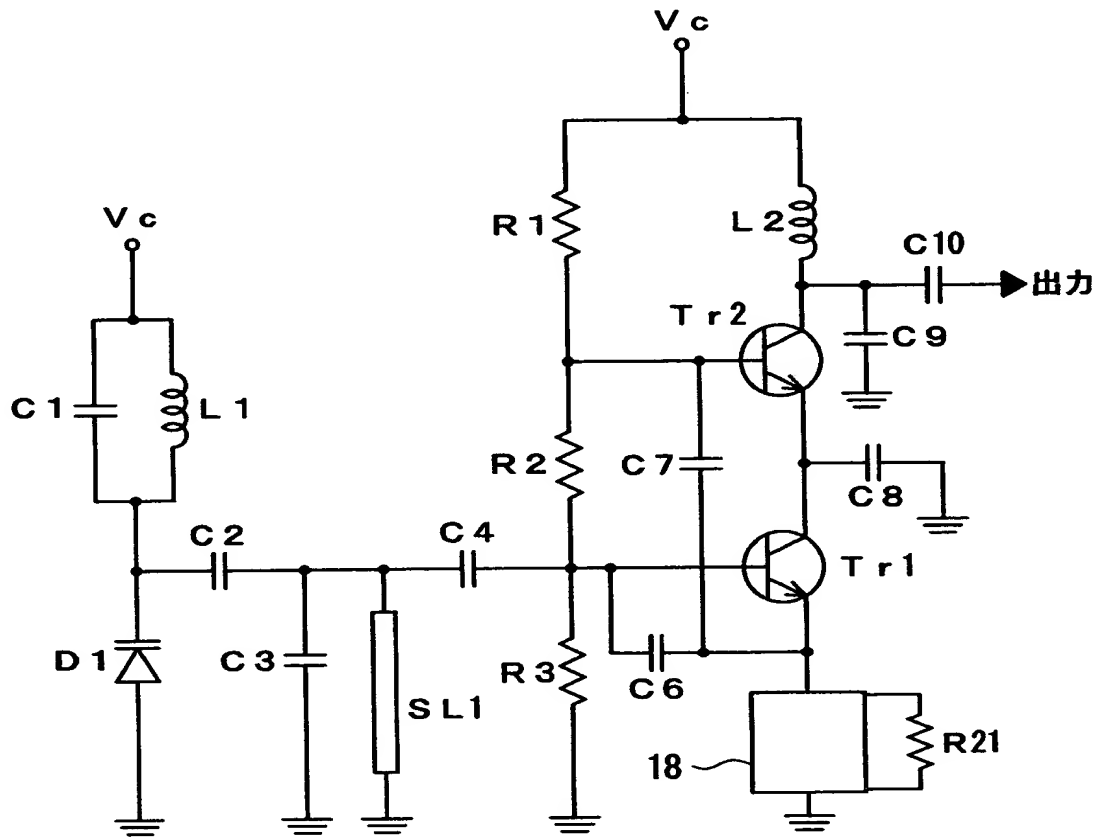
【図16】

10



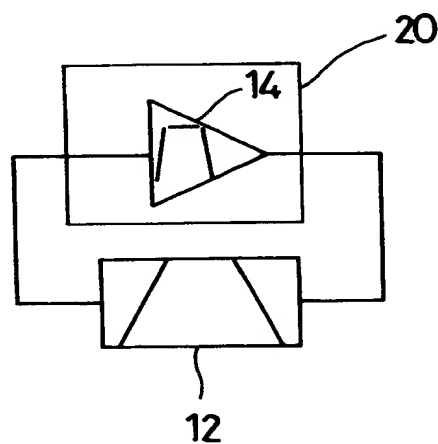
【図 17】

10



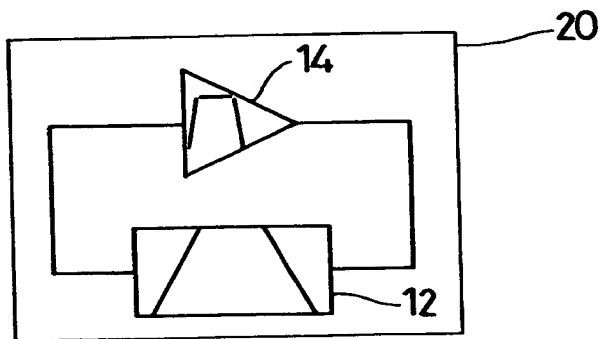
【図 18】

10

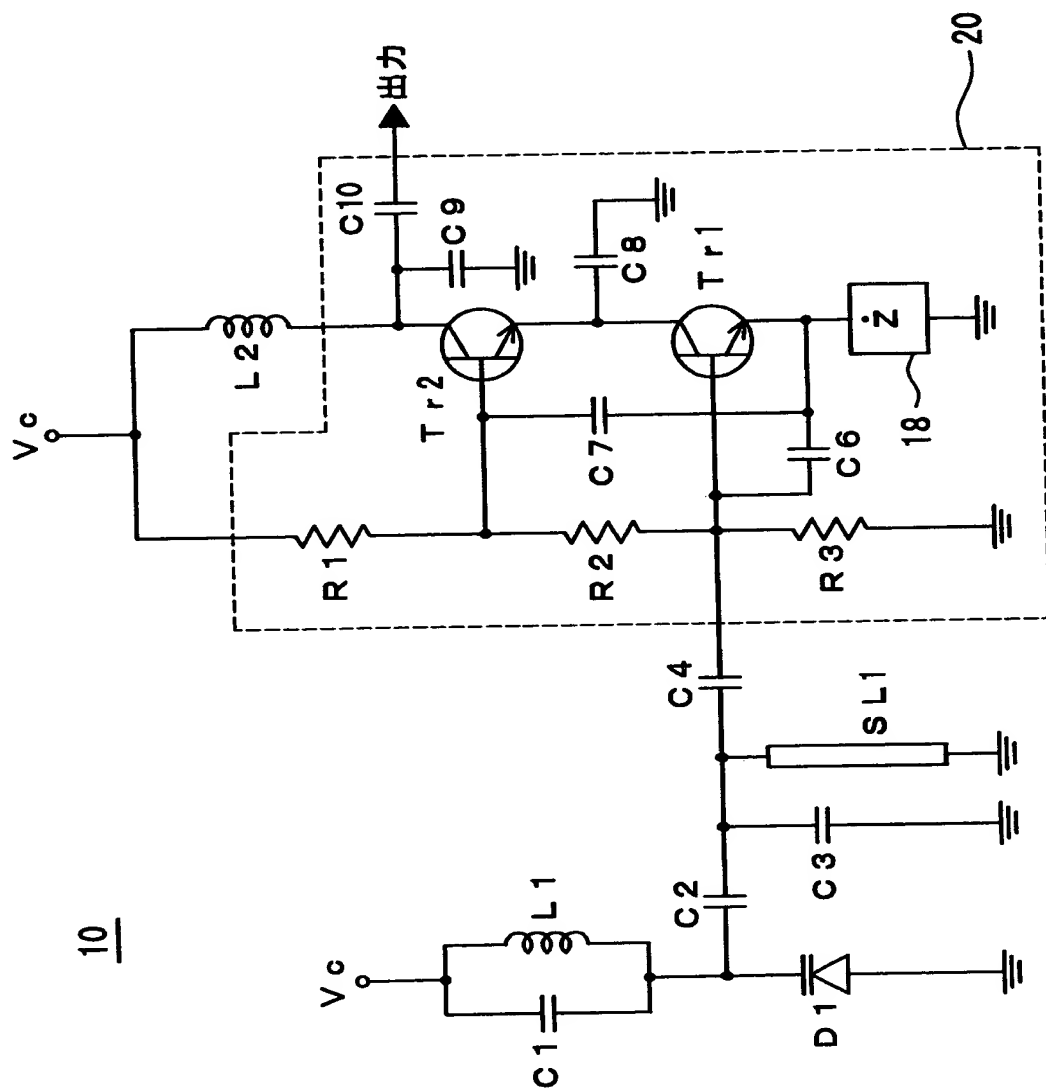


【図 1 9】

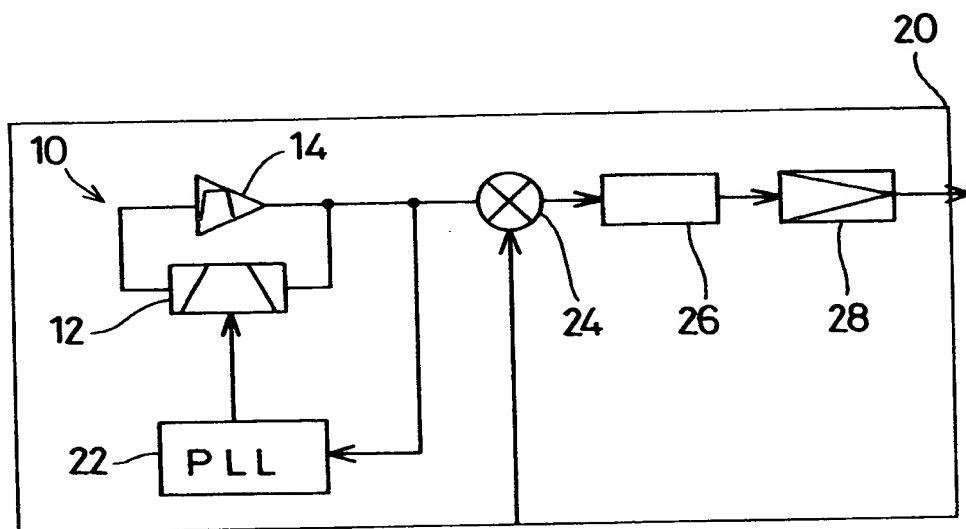
10



【図 20】

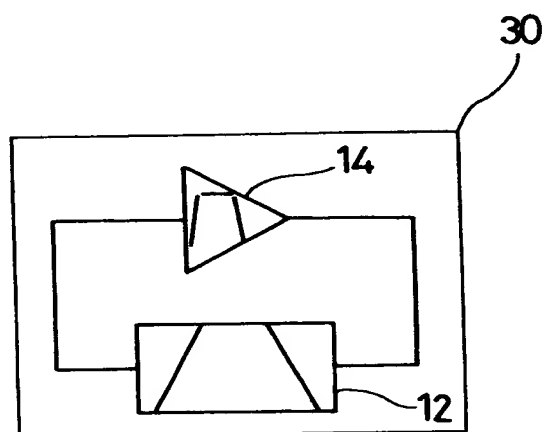


【図 2 1】

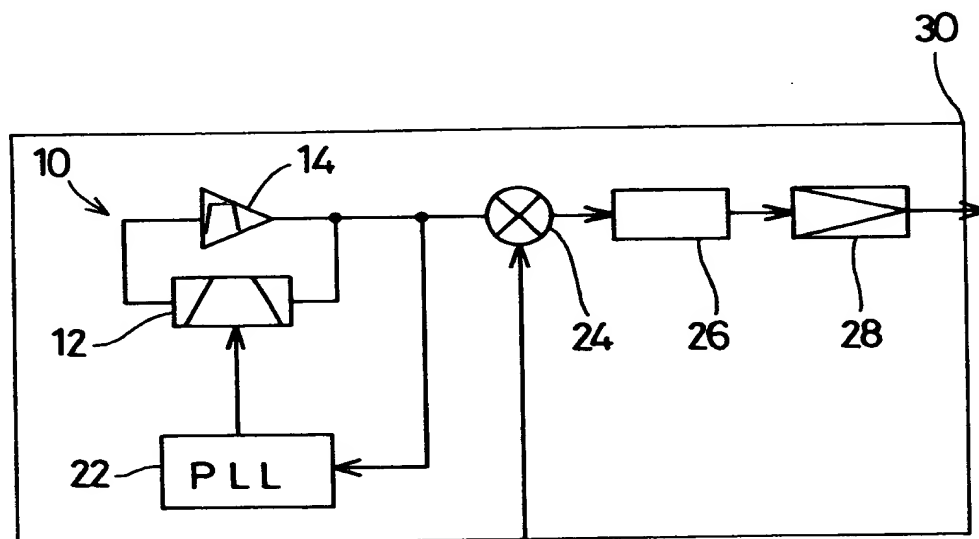


【図 2 2】

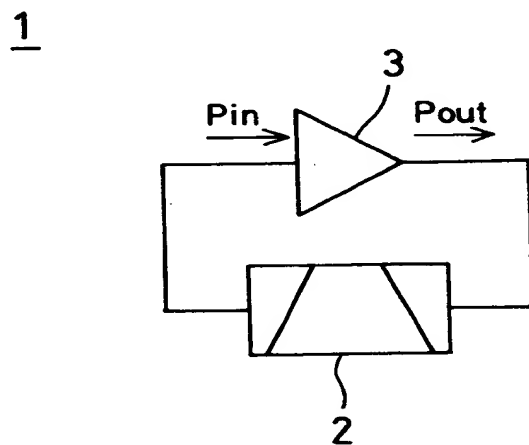
10



【図 23】

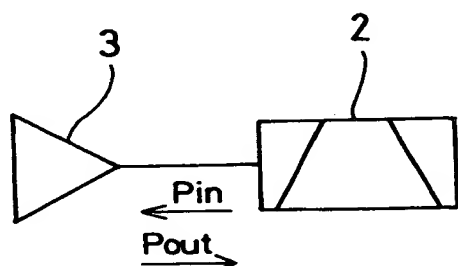


【図 24】

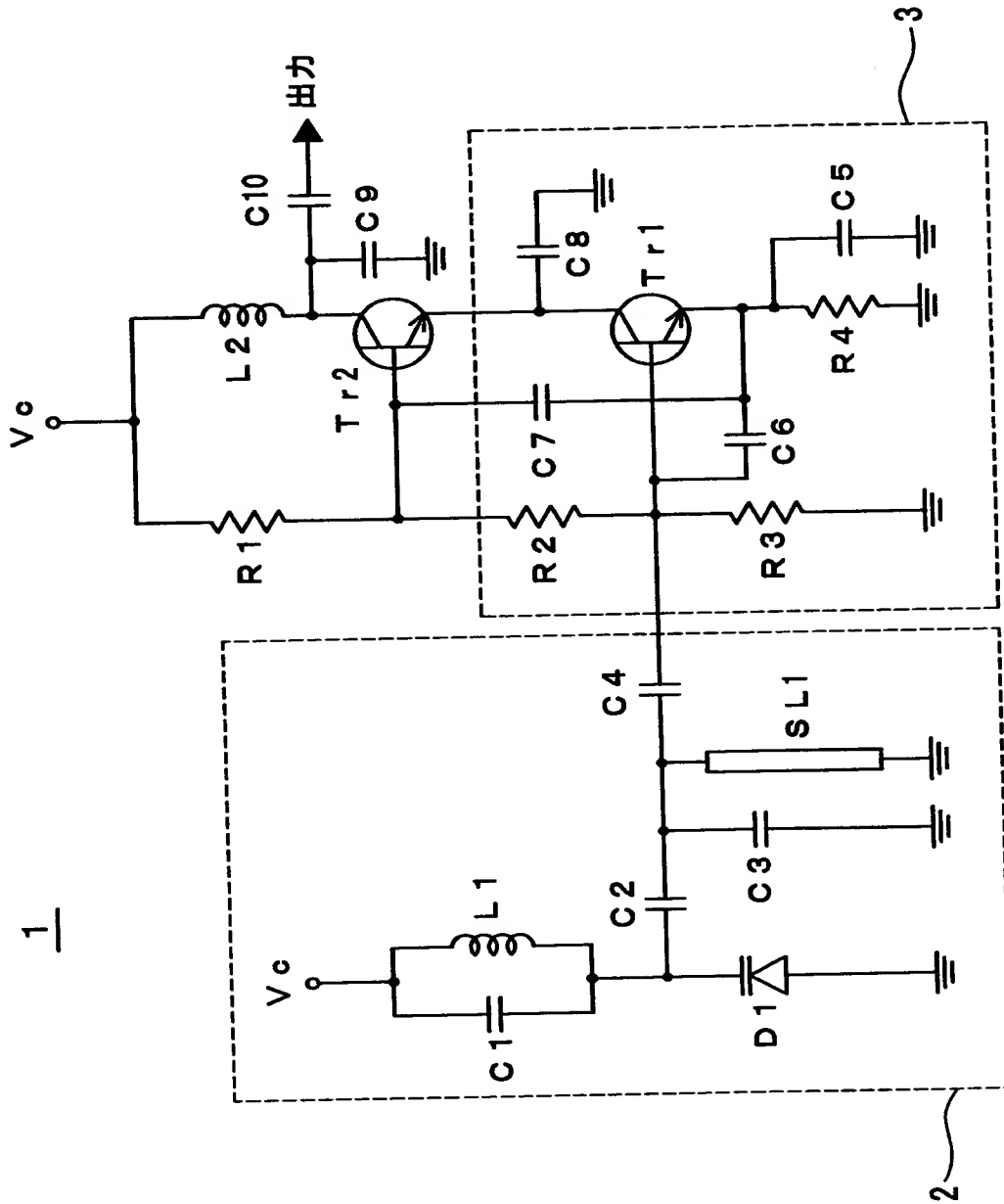


【図 2 5】

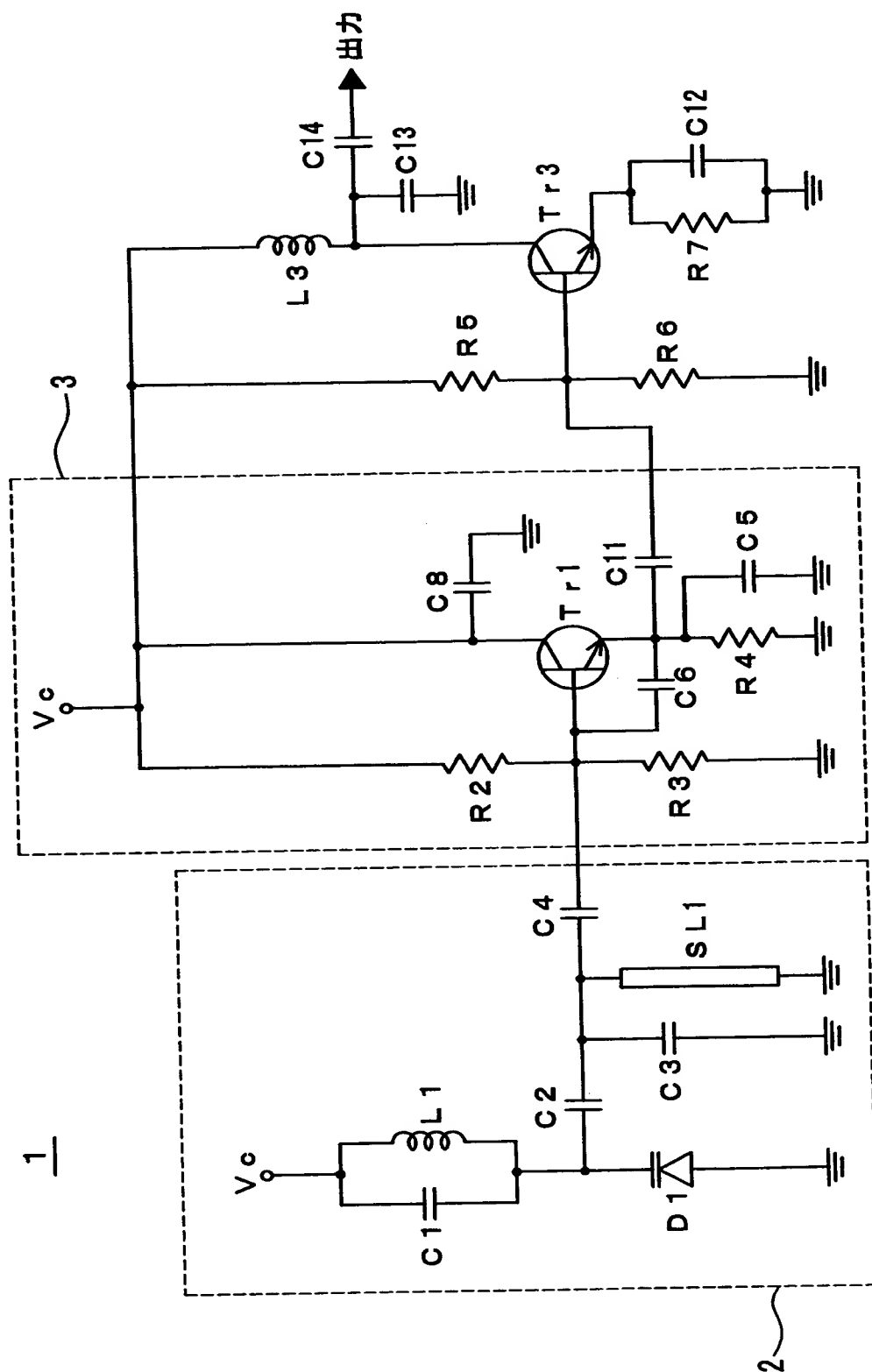
1



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 位相雑音を少なくすることができる発振器を得る。

【解決手段】 発振器 1 0 は、共振回路 1 2 と増幅回路 1 4 とを含む。増幅回路 1 4 は増幅器 1 6 を含み、増幅器 1 6 に周波数特性を有するインピーダンス素子 1 8 を接続することにより、増幅回路 1 4 の電力増幅度に周波数特性をもたせている。発振器 1 0 の発振周波数以外の周波数帯域における電力増幅度を、発振周波数における電力増幅度より少なくとも 3 d B 低下させる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006231]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	京都府長岡京市天神二丁目26番10号
氏 名	株式会社村田製作所